

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-101670

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 07-232708

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.09.1995

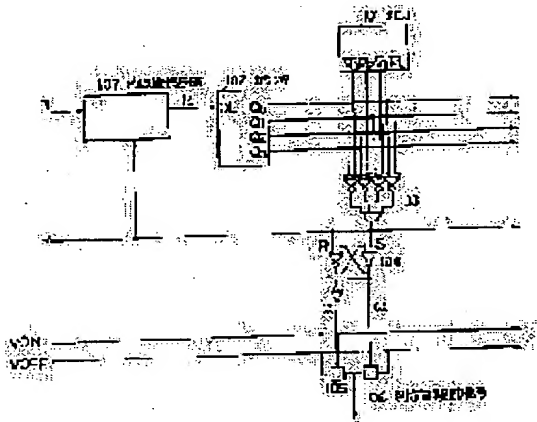
(72)Inventor : WAKAI YOICHI

(54) DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAY BODY AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a circuit capable of easily realizing non-linear correction of the video signal data for non-linearly compensating an applied voltage to a liquid crystal display body and transmissivity, that is, a luminance characteristic.

CONSTITUTION: In the drive circuit for liquid crystal display body constituted so as to modulate a gradation level shown by the image data to a duty of a drive signal supplied to the pixel of the liquid crystal body, this circuit is provided with a selection means 107 selecting M pieces in a prescribed period from a frequency signal f1 supplying the drive signal to respective pixels and having N pieces of pulses in the prescribed period, a counter means 102 counting the output of the selection means 107, a comparison means 103 comparing the output of the counter means 102 with the gradation level shown by the image data and an output means supplying ON potential to the pixels at the first half or the second half of comparison detection timing in the prescribed period based on the comparison detection of the comparison means 103, and the selection means 107 is provided with a counter counting the frequency signal f1 and a decoding means decoding plural outputs from the counter and outputting a timing signal of M pieces of pulses selected from N pieces of pulses.



LEGAL STATUS

[Date of request for examination] 11.10.1995

[Date of sending the examiner's decision of rejection] 10.09.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 20.12.1996

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-101670

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.⁶

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

庁内整理番号

F I

技術表示箇所

5 7 5

審査請求 有 発明の数 1 O L (全 7 頁)

(21) 出願番号

特願平7-232708

(62) 分割の表示

特願昭61-159235の分割

(22) 出願日

昭和61年(1986)7月7日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 若井 洋一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

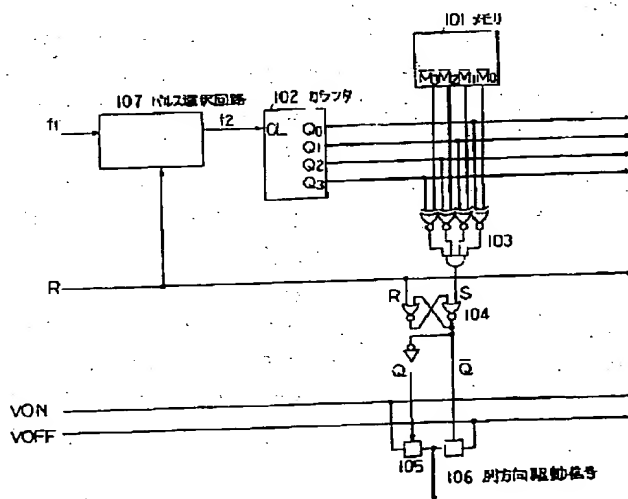
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 液晶表示体の駆動回路及び液晶表示装置

(57) 【要約】

【課題】 液晶表示体への印加電圧と透過率、すなわち輝度特性の非線型性の補償を行なうための映像信号データの非線型補正を簡便に実現できる回路を提供する。

【解決手段】 画像データの示す階調レベルを、液晶表示体の画素に供給する駆動信号のデューティに変調してなる液晶表示体の駆動回路において、各画素に駆動信号を供給する所定期間にN個のパルスを含む周波数信号f1から、所定期間中にM個を選択する選択手段と、選択手段の出力を計数する計数手段と、計数手段の出力と画像データの示す階調レベルとを比較する比較手段と、比較手段の比較検出に基づき、所定期間中の比較検出タイミングの前半又は後半にON電位を画素に供給する出力手段とを備え、選択手段は、周波数信号f1を計数するカウンタと、カウンタからの複数の出力をデコードし、N個のパルスから選択したM個のパルスのタイミング信号を出力するデコード手段とを有する。



1

【特許請求の範囲】

【請求項1】 (a) デジタル化された画像データに基づき、選択期間T内で、列方向駆動信号のデューティを変調させ、階調表示をせしめる、マトリクス型液晶表示体の列方向駆動回路において

(b) 周波数 N/T (N は正整数)の信号 f_1 中の、 M 個 (M は正整数、 $N>M$)の任意のパルスを選択する手段 (その選択されたパルス群を信号 f_2 とする)

(c) 信号 f_2 を計数するカウンタ (1)

(d) 選択期間Tにおいて、カウンタ (1)のデジタルデータと前記画像データとの一致検出時 t_1 から選択期間Tの終了まで、ON電位を発生せしめる、もしくは選択期間Tの開始から前記一致検出時 t_1 まで、ON電位を発生せしめるPWM (パルス幅変調) 信号発生手段を有することを特徴とする液晶表示体の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマトリクス型液晶表示体の駆動回路、特にその列方向駆動回路に関する。

【0002】

【従来の技術】 近年、液晶表示体を画像表示部に用いた携帯型テレビを中心とした階調表示機器が商品化されつつある。これらに用いられている液晶表示体としては①ハイデューティ駆動 (多重マルチプレックス駆動) と呼ばれるパッシブ・マトリクス

②TFT (Thin Film Transistor) 等の三端子素子、MIM (Metal-Insulator-Metal)、ダイオード等の二端子素子を液晶層と直列に介在させたアクティブ・マトリクスの二種類がある。

【0003】 ①のパッシブ・マトリクスで階調表示を行なう場合には、まずアナログ映像信号をA/D (アナログ→デジタル) 変換し、 n ビット (2^n の階調表示)の階調コードを発生させ、列方向駆動回路においてその階調コードに対応した重みを持つデューティのPWM信号を選択期間Tで発生させることによる。そのPWM信号の発生法としては、例えば選択期間TがTH (TH: テレビの一水平信号期間) とすると、 $2^n/TH$ の信号を基準信号として、その信号を計数し、計数した信号の個数に対応してON電位幅を決める方法が一般的である。

【0004】 回路例を図2に示す。201はA/D変換された4ビットの映像データを格納するメモリ、202はクロック信号 f ($f=2^4 \times TH$)を計数するカウンタであつて、その4ビットの出力 $Q_0 \sim Q_3$ には16進のバイナリ・コードが出力される。203はカウンタ202の $Q_0 \sim Q_3$ の4ビットとメモリ202の $M_0 \sim M_3$ (格納されたデータの反転コード)との一致を検出する一致検出回路であつて、両コードの一致時には、204のSRラッチをセットする。SRラッチ204のリセット入力にはリセット信号Rが入力されてい

2

る。またSRラッチ204のQおよび Q' 出力は、205のマルチプレクサと接続され、 $Q='1'$ ではON電位 V_{ON} を、 $Q='0'$ ではOFF電位 V_{OFF} を206の列方向駆動信号として液晶表示体パネルへ出力する。ここで201、203、204、205、206で一個の列方向駆動回路を形成している。

【0005】 この回路のタイムチャートを図3に示す。リセット信号Rは選択期間 $T=TH$ の周期で出力される。メモリ201の4ビットコードにより、図のように(0, 0, 0, 0) ~ (1, 1, 1, 1)の16段階の階調信号が204Qに出力される。204Qの「1」の期間、 V_{ON} がマルチプレクサ205に出力される。このようにデジタル化された階調コードに対応した重みを持つPWM信号が列方向駆動信号として出力される。

【0006】 ②のアクティブ・マトリクスで階調表示を行う場合については、三端子素子のTFTの例では、第一例 (小口幸一他、「商品化された液晶ポケット・カラー・テレビ」、日経エレクトロニクス、1984年9月10日、P211~240)があり、二端子素子のMIMの例では、第二例 (特開昭59-107328)がある。いずれも列方向駆動回路としては、サンプル・アンド・ホールド方式を用いている。この回路例を図4に示す。401はシフトレジスタで、映像サンプリング信号を402のサンプル・アンド・ホールド回路へ出力する。402はアナログ・スイッチと容量で構成され、アナログ・スイッチの一端は映像信号線と接続されているため、シフトレジスタ401からサンプリング信号が出力されると、その時点の映像信号の電圧アナログ値が容量に書きこまれる。線順次方式の場合は、列方向に並ぶ全てのサンプル・アンド・ホールド回路402に映像信号の電圧アナログ値が書き込まれた後に、イネーブル信号ENが「1」となつて、403のバッファ回路が能動状態となり、404列方向駆動信号を発生する。(点順次方式の場合には、バッファ回路403は必要としない。) アクティブ・マトリクスにおいても、PWM方式で列方向駆動信号を形成することは可能である。PWM方式でアクティブ・マトリクスを駆動する例としては、二端子素子のアモルファス・シリコンPNダイオードについての第3例 (富樫他、テレビジョン学会技術報告、ED-782、IPD86-3)がある。この場合もPWM信号を発生する列方向駆動回路としては、図2に示した回路が考えられる。

【0007】

【発明が解決しようとする課題】 ところが、従来の液晶表示体駆動回路では、液晶表示体の持つ特質を充分生かすことができなかった。

【0008】 ①映像信号の r 補正 (通常のテレビ映像信号はブラウン管の輝度特性を補償するために r 補正してある)

②液晶表示体への印加電圧とその透過率は一次線型では

ない。

【0009】③特にアクティブ・マトリクスの場合、各画素に電荷充電の制御を行なう能動素子の特性、および能動素子と液晶層（図5参照。二端子素子の例）との等価的なCR時定数による電荷充電（時間に対して、充電される電荷は非線型）のため、液晶表示体への印加電圧に対する液晶層へ充電された電荷（すなわち透過率）の関係も非線型である。

【0010】これらの特性を補償して、液晶表示体の持つ特質を充分生かすためには、これらの特性を補償するように、映像信号データ（アナログ値、デジタル値にかかわらず）に何らかの非線型補正を行う必要がある。ところが、既に説明した従来の回路では、このような補正を行わないか、行なう場合でもアナログの映像信号レベルで非線型補正をやらなければならない、回路構成が極めて複雑となつた。

【0011】このような液晶表示体の電圧-輝度特性の非線型性を補償する回路の公知例としては、特開昭53-148917がある。同例においては、「輝度信号の階調を不等間隔に規定するための輝度変調パルスが発生する輝度変調パルス発生器と、映像信号のレベルに応じて上記輝度変調パルスの一つを選択して表示用信号電極に与える選択スイッチとを備え」ている。しかし、同例では階調に対応した輝度変調パルスを信号線（例えば16階調ならば16本）が多数表示装置内に配線されるため、占有する空間が大となるし、同回路部分をIC化する場合にはその信号線の配線領域が大となるため、IC単価の上昇が問題となる。

【0012】本発明は、以上述べたような液晶表示体への印加電圧と透過率、すなわち輝度特性の非線型性の補償を行なうための映像信号データの非線型補正を簡便に実現できる回路を提供することを目的とする。

【0013】

【課題を解決するための手段】前記目的を実現するために、本発明は、

(a) デジタルされた画像データに基づき、選択期間T内で、列方向駆動信号のデューティを変調させ、階調表示をせしめる、マトリクス型液晶表示体の列方向駆動回路において

(b) 周波数 N/T （ N は正整数）の信号 f_1 中の、 M 個（ M は正一整数、 $N>M$ ）の任意のパルスを選択する手段（その選択されたパルス群を信号 f_2 とする）

(c) 信号 f_2 を計数するカウンタ(1)

(d) 選択期間Tにおいて、カウンタ(1)のデジタルデータと前記画像データとの一致検出時 t_1 から選択期間Tの終了まで、ON電位を発生せしめる、もしくは選択期間Tの開始から前記一致検出時 t_1 まで、ON電位を発生せしめるPWM（パルス幅変調）信号発生手段を有することを特徴とする。

【0014】

【作用】前記構成によれば、周波数 N/T である信号A中の、 M 個の任意のパルスを選択する手段により、その選択期間T中に M 個のパルスが存在する信号Bは。選択期間T内の任意の位置に M 個のパルスを指定できるため、後に述べる作用によつて、その M 個のパルスの間隔に対応する表示階調のレベル変化を任意に設定できる。

（すなわち、液晶表示体への印加電圧と透過率の非線型性を補正するように階調のレベル変化を設定できる。）また、信号Bを計数するカウンタのコードとデジタル化された画像データの一致を検出することにより、選択期間Tの開始からコード一致まで、もしくはコード一致から選択期間Tの終了までON電位を発生せしめるPWM信号発生手段によつて、選択期間T内で任意のパルス間隔を持つ信号Bによる階調表示が実現される。

【0015】

【発明の実施の形態】以下、本発明の一実施例について図面をもとに説明する。

【0016】階調表示の補正を必要とするパラメータとしては、 r 補正、液晶の印加電圧と透過率との非線型性と多々ある。ここでは非線型素子を介して画素への書き込み電荷量を制御する場合に、画素への電荷充電が液晶層の容量と駆動回路の出力抵抗、あるいは液晶層に対してシリーズに接続された非線型素子の抵抗との時定数によつて、画素に印加される電圧と実際に液晶層に印加される電圧との非線型性による場合の補正を考える。（ただし、印加電圧と透過率との関係は線型とし、ガンマ逆補正はしないものとする。それらが必要な場合には、以下に説明する補正について、それらのパラメータをさらにもり込んでパルス間隔を設定すればよい。）これについて、さらに詳しく説明する。図5のように、行電極501と列電極502間に、能動素子（非線型素子）503と液晶層504がシリーズに接続されている画素では、その等価回路は図7のように考えられる。ここで R_0 は行側、列側それぞれの駆動回路の出力抵抗の合成抵抗であり、 R_{NL} は能動素子の等価抵抗（実際には、 R_{NL} は電圧に対しての変数と考えられるが、ここでは一定値とする）、 C_{LC} は液晶層の等価容量である。この図から明らかなように、液晶層への充電電圧 V_{LC} は、画素への印加電圧 V_P に対して、時定数 $\tau = C_{LC} \cdot R$ により決まる曲線を描く。選択期間 $T = T_H$ の期間に V_{LC} が V_{ON} の80%まで立上るような時定数 τ を仮定すれば、 V_{LC} の時間による変化は図8のようになる。この図では、 V_D は選択期間 T_H の全期間にわたつて V_{ON} の場合であるが、PWMによる電荷書きこみでは、階調のデジタルデータに対応した重みで、 V_{ON} 割合が変化し、それによつて V_{LC} の到達する電圧が決定される。

【0017】図8からわかるように、画素への印加電圧 V_P に対して、液晶層への印加電圧 V_{LC} は非線型な関係にある。

【0018】この例について、上記の非線型性の補償方

法を説明する。

【0019】図1は本発明によるその回路構成例である。

【0020】101のメモリ、102のカウンタ、103の一致検出回路、104のSRラッチ、205のマルチプレクサは、図2の201、202、203、204、205と全く同一の機能である。107はパルス選択回路である。 f_1 は例えばテレビの水平PLL回路(図示せず)からの信号で、外部水平同期信号に対して、位相同期のとれた $f_1 = N \times f_H$ (f_H はテレビの水平同期信号周波数)で発振する電圧制御発振器の発振信号である。パルス選択回路107では、 f_1 を計数して、選択期間TH内でN個のパルス群中のM個、具体的なこの例では14個のパルスを選択して、4ビットの階調デジタルデータによる16段階のPWM信号を発生するべく、TH内に14個のパルスが存在するクロック信号 f_2 をカウンタ102へ供給する。

【0021】ここで、本発明例では $N=80 \times 4$ 、 $f_1=80 \times 4 \times f_H$ としている。

【0022】次にパルス選択回路102について説明する。図6はその回路例、図9は各部のタイムチャートである。

【0023】602はD型フリップ・フロップであり、ANDゲート603と共に、信号Rの立上り微分パルスを形成する。その微分パルスにより、カウンタ601はリセットされる。カウンタ601は信号 f_1 を計数する9段のバイナリ・カウンタであつて、その $Q_2 \sim Q_8$ の7ビットの出力には、NチャンネルMOSFETによるPLA回路604が接続されている。PLA604は10個の出口を有しており、それぞれ、78~27といった丸囲みの数値をデコードする。ここで、この数値の設定について説明する。

【0024】図8に $C_{LC} \times R$ の時定数による V_{LC} の電圧曲線を描いてあるが、曲線上の数字は、一選択期間THを80分割した場合に、THの期間 $V_P = V_{ON}$ の場合に達成される $V_{LC}=0.8V_P$ の電圧を均等に15分割した時、それぞれの電圧を得るためのTH/80のパルスの個数である。それらは全部で14個あり、16階調を出すことに対応する。その電圧 $V_{LC}=0.8 \times V_P$ を15分割するパルスの個数の80に対する補数が、図6及び図9の丸囲みの数字である。

【0025】605はPLA604のためのプリアップ用PチャンネルMOSFETである。ANDゲート606ではPLA604の出力とカウンタ601の Q_i 出力との積をとる。

【0026】図9のように、R信号によりカウンタ601はリセットされ、信号 f_1 の計数を開始する。PLA604では f_1 の4分周601 Q_i を計数してゆき、78、76~27に14個の「0」パルスを発生する。そ

して、ANDゲート606で、さらに601 Q_i との積をとり、信号 f_2 を発生する。

【0027】この信号 f_2 により、図1メモリ101のコード(M_3, M_2, M_1, M_0)が $2=(0, 0, 1, 0)$ 、 $6=(0, 1, 1, 0)$ 、 $12=(1, 1, 0, 0)$ の各場合に発生する104Qの信号を、同じく図9に示す。104Qが「1」の時 V_{ON} が選択されて列方向駆動信号106として出力される。

【0028】このように、メモリ101の4ビットコードの増え方に対して、104Qの「1」の割合が非線型になるために、例えば101のコードが $2=(0, 0, 1, 0)$ 、 $6=(0, 1, 1, 0)$ 、 $12=(1, 1, 0, 0)$ のそれぞれの場合、図8で4、16、44と曲線上阿示された V_{LC} が液晶層へ印加される。

【0029】

【発明の効果】以上の構成によつて、本例では $C_{LC} \times R$ の時定数によつて生ずる V_{LC} の V_P に対する非線型性を線型に補償できる。実際の場合には、ガンマの逆補正、液晶層への印加電圧 V_{LC} と透過率との非線型性等についても補償する必要があるが、本実施例と同様に、それらについても全て加味して、選択期間TH内に任意の位置にパルスを設定して補償することができる。また、本実施例では図6に示したように、選択期間THを80分割して任意のパルスを選択する例を説明したが、PLA604へのカウンタ601のコードのビット数をさらに増加させれば、補償精度はさらに向上する。また、本実施例のようにパルス選択をPLA等(ROMも考えられる)で構成すれば、回路全体をIC化した場合に、メタルマスク層ぐらいの変更で、種の液晶パネルに合わせた印加電圧補償が可能である。

【図面の簡単な説明】

【図1】本発明による液晶表示体の駆動回路構成図。

【図2】従来の液晶表示体の駆動回路構成図(1)。

【図3】図2のタイムチャート。

【図4】従来の液晶表示体の駆動回路構成図(2)。

【図5】能動素子を有する液晶画素図。

【図6】パルス選択回路構成図。

【図7】図5の等価回路図。

【図8】画素印加電圧 V_P と液晶層への印加電圧 V_{LC} との関係図。

【図9】図6のタイムチャート。

【符号の説明】

107・・・パルスを選択する手段としてのパルス選択回路

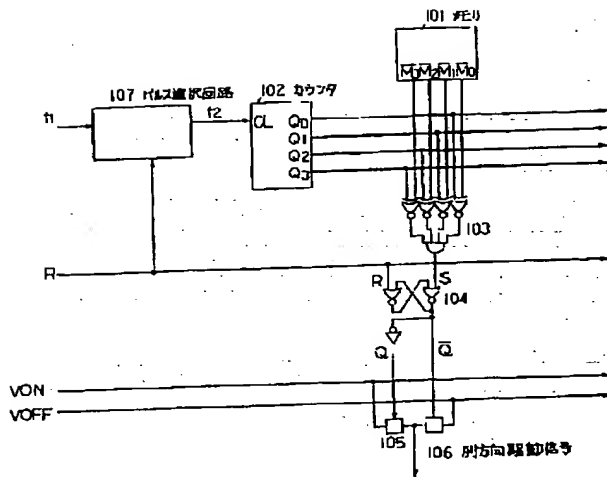
102・・・カウンタ

105・・・一致検出回路

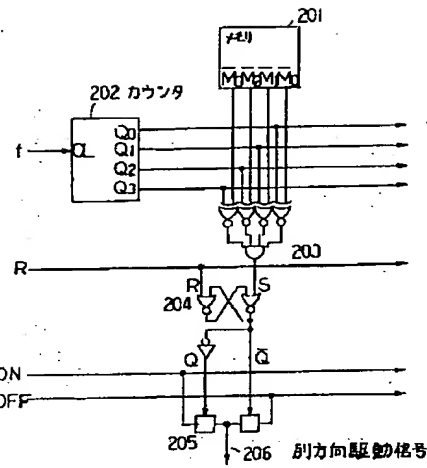
104・・・SRラッチ

105・・・マルチプレクサ(105、104、105でPWM信号発生手段を構成する)

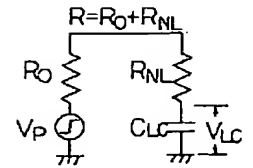
【図1】



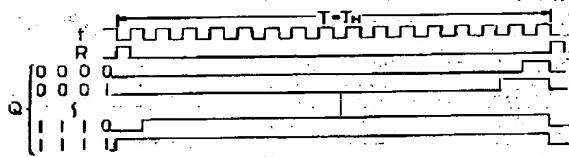
【図2】



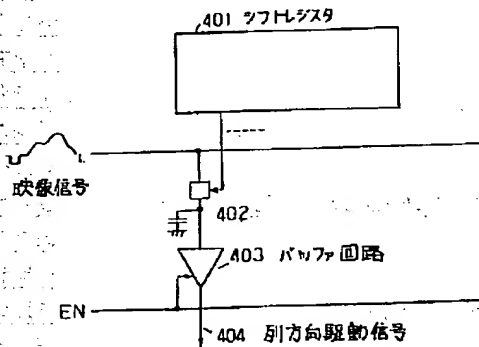
【図7】



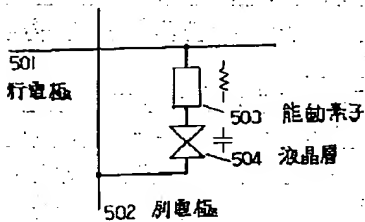
【図3】



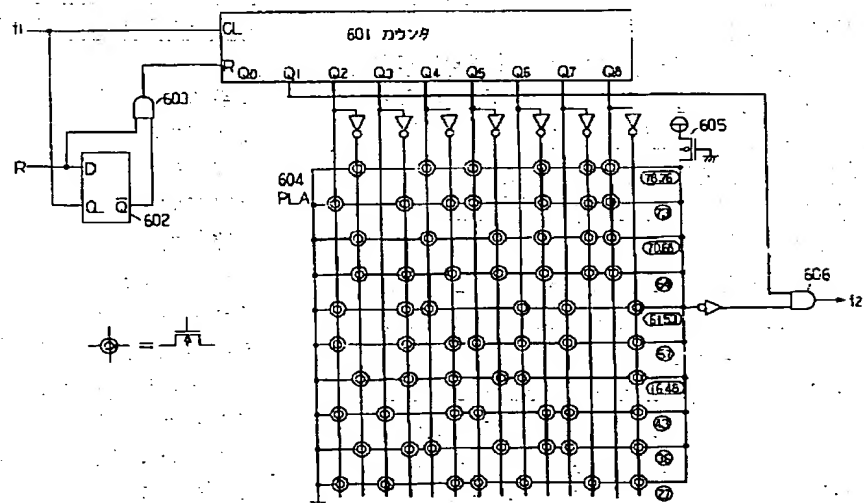
【図4】



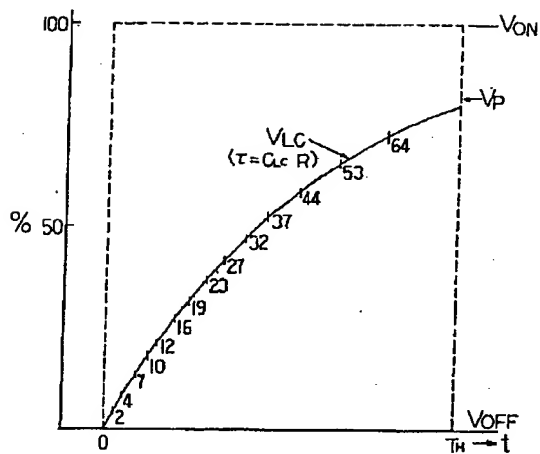
【図5】



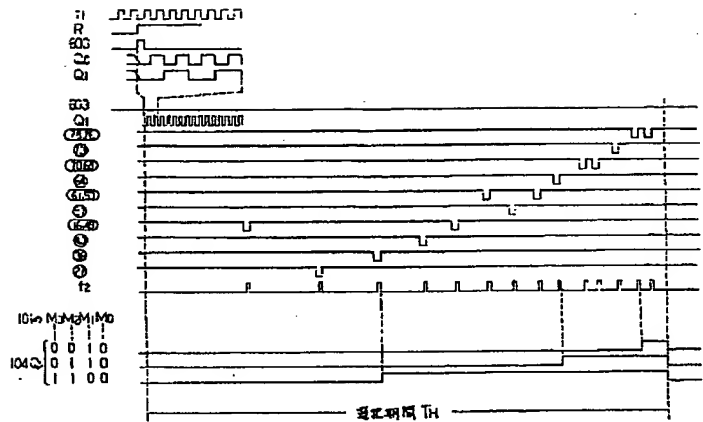
【図6】



【図 8】



【図 9】



【手続補正書】

【提出日】平成 7 年 10 月 11 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】液晶表示体の駆動回路及び液晶表示装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】画像データの示す階調レベルを、液晶表示体の画素に供給する駆動信号のデューティに変調してなる液晶表示体の駆動回路において、
前記各画素に前記駆動信号を供給する所定期間に N 個の
パルスを有する周波数信号 f_1 から、前記所定期間中に M 個のタイミング信号を選択する選択手段と、
 該選択手段の出力を計数する計数手段と、
 該計数手段の出力と前記画像データの示す階調レベルとを比較する比較手段と、
 該比較手段の比較検出に基づき、前記所定期間中の比較検出タイミングの前半又は後半に ON 電位を前記画素に供給する出力手段とを備え、
 前記選択手段は、前記周波数信号 f_1 を計数するカウンタと、該カウンタからの複数の出力をデコードし、N 個のパルスから選択した M 個のタイミング信号を出力するデコード手段とを有することを特徴とする液晶表示体の駆動回路。

【請求項 2】画像データの示す階調レベルを駆動信号の

デューティに変調してなる駆動回路と、該駆動回路から出力された前記駆動信号が画素に供給される液晶表示体とを有する液晶表示装置において、
前記各画素に前記駆動信号を供給する所定期間に N 個の
パルスを有する周波数信号 f_1 から、前記所定期間中に M 個のタイミング信号を選択する選択手段と、該選択手段の出力を計数する計数手段と、
 該計数手段の出力と前記画像データの示す階調レベルとを比較する比較手段と、
 該比較手段の比較検出に基づき、前記所定期間中の比較検出タイミングの前半又は後半に ON 電位を前記画素に供給する出力手段とを備え、
 前記選択手段は、前記周波数信号 f_1 を計数するカウンタと、該カウンタからの複数の出力をデコードし、N 個のパルスから選択した M 個のタイミング信号を出力するデコード手段とを有することを特徴とする液晶表示装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明はマトリクス型液晶表示体の駆動回路、特にその列方向駆動回路に関する。また、その駆動回路を用いた液晶表示装置に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】回路例を図2に示す。201はA/D変換された4ビットの映像データを格納するメモリ、202はクロック信号 f ($f = 2^4 \times TH$)を計数するカウンタであつて、その4ビットの出力 $Q_0 \sim Q_3$ には16進のバイナリイ・コードが出力される。203はカウンタ202の $Q_0 \sim Q_3$ の4ビットとメモリ202の $M_0 \sim M_3$ (格納されたデータの反転コード)との一致を検出する一致検出回路であつて、両コードの一致時には、204のSRラッチをセットする。SRラッチ204のリセット入力にはリセット信号Rが入力されている。またSRラッチ204のQおよび Q' 出力は、205のマルチプレクサと接続され、 $Q = 「1」$ ではON電位 V_{ON} を、 $Q = 「0」$ ではOFF電位 V_{OFF} を206の列方向駆動信号として液晶表示体パネルへ出力する。ここで201, 203, 204, 205, 206で一個の列方向駆動回路を形成している。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】前記目的を実現するために、本発明は、画像データの示す階調レベルを、液晶表示体の画素に供給する駆動信号のデューティに変調してなる液晶表示体の駆動回路において、前記各画素に前記駆動信号を供給する所定期間にN個のパルスを含む周波数信号 f_1 から、前記所定期間中にM個を選択する選択手段と、該選択手段の出力を計数する計数手段と、該計数手段の出力と前記画像データの示す階調レベルとを

比較する比較手段と、該比較手段の比較検出に基づき、前記所定期間中の比較検出タイミングの前半又は後半にON電位を前記画素に供給する出力手段とを備え、前記選択手段は、前記周波数信号 f_1 を計数するカウンタと、該カウンタからの複数の出力をデコードし、N個のパルスから選択したM個のパルスのタイミング信号を出力するデコード手段とを有することを特徴とする。また、この駆動回路とそれにより駆動される液晶表示体を有する液晶表示装置を提供することを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【作用】前記構成によれば、周波数 N/T (T : 選択期間)である信号A中の、M個の任意のパルスを選択する手段により、その選択期間T中にM個のパルスが存在する信号Bは、選択期間T内の任意の位置にM個のパルスを指定できるため、後に述べる作用によつて、そのM個のパルスの間隔に対応する表示階調のレベル変化を任意に設定できる。(すなわち、液晶表示体への印加電圧と透過率の非線型性を補正するように階調のレベル変化を設定できる。)また、信号Bを計数するカウンタのコードとデジタル化された画像データの一致を検出することにより、選択期間Tの開始からコード一致まで、もしくはコード一致から選択期間Tの終了までON電位を発生せしめるPWM信号発生手段によつて、選択期間T内で任意のパルス間隔を持つ信号Bによる階調表示が実現される。

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)